



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0043145  
Application Number

출원년월일 : 2003년 06월 30일  
Date of Application JUN 30, 2003

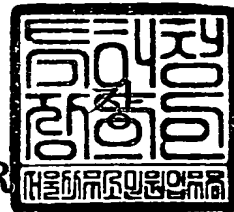
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0020  
**【제출일자】** 2003.06.30  
**【발명의 명칭】** NF 3 HDP 산화막을 적용한 반도체 소자 제조방법  
**【발명의 영문명칭】** FABRICATING METHOD OF SEMICONDUCTOR DEVICE ADOPTING NF3 HIGH DENSITY PLASMA OXIDE LAYER  
**【출원인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【명칭】** 특허법인 신성  
**【대리인코드】** 9-2000-100004-8  
**【지정된변리사】** 변리사 정지원, 변리사 원석희, 변리사 박해천  
**【포괄위임등록번호】** 2000-049307-2  
**【발명자】**  
**【성명의 국문표기】** 김재홍  
**【성명의 영문표기】** KIM, Jae Hong  
**【주민등록번호】** 660403-1932319  
**【우편번호】** 463-070  
**【주소】** 경기도 성남시 분당구 야탑동 매화마을 104-605  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 6 면 6,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 10 항 429,000 원  
**【합계】** 464,000 원



1020030043145

출력 일자: 2003/10/30

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 제조방법에 관한 것으로 특히, 80nm급 이상의 미세소자의 STI 공정에서 적용되고 있는  $\text{NF}_3$  HDP 산화막 형성공정을 개선하여, HDP 산화막 내에 존재하는 불소를 제거하여 막 특성을 향상시킨 발명이다. 이를 위한 본 발명은, 기판 상에 트렌치를 형성하는 단계; 상기 트렌치의 표면을 따라  $\text{H}_2$  계 HDP 산화막을 형성하는 단계; 상기 트렌치 내에 일정깊이의  $\text{NF}_3$  계 HDP 산화막을 형성하는 단계; 상기  $\text{NF}_3$  계 HDP 산화막내의 불소를 제거하기 위한 2 단계 열공정을 수행하는 단계; 및 상기 트렌치를 매립하는 He 계 HDP 산화막을 형성하는 단계를 포함하여 이루어진다.

**【대표도】**

도 3b

**【색인어】**

갭필, 불소, 고밀도 플라즈마 막, 트렌치

## 【명세서】

## 【발명의 명칭】

NF<sub>3</sub> HDP 산화막을 적용한 반도체 소자 제조방법{FABRICATING METHOD OF SEMICONDUCTOR DEVICE ADOPTING NF<sub>3</sub> HIGH DENSITY PLASMA OXIDE LAYER}

## 【도면의 간단한 설명】

도1은 종래기술에 따른 일반적인 HDP 산화막을 이용한 STI 갭필 공정에서 보이드가 발생한 모습을 도시한 도면,

도2a 내지 도2c는 일반적인 HDP 산화막의 단점을 보완하기 위해 NF<sub>3</sub> HDP 공정을 적용한 트렌치 소자분리막 형성공정을 도시한 공정단면도,

도3a 내지 도3c는 본 발명의 일실시예에 따른 트렌치 소자분리막 형성공정을 도시한 공정단면도,

도4a 및 도4b는 본 발명의 일실시예에 따른 열 처리 과정 전후에 막 내에 존재하는 대표적인 결함을 도시한 도면.

\*도면의 주요부분에 대한 부호의 설명\*

20 : 기판

21 : 버퍼 산화막

22 : 패드질화막

23 : 리니어 질화막

24 : 리니어 산화막

25 : H<sub>2</sub> 계 HDP 산화막

26 : NF<sub>3</sub> 계 HDP 산화막

27 : He 계 HDP 산화막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 80 nm급 이하의 미세 소자에 적용되는 STI 공정에서 트렌치 갭필에 적용되는 NF<sub>3</sub> HDP 산화막 형성공정을 개선하여, HDP 산화막 내에 존재하는 불소를 효과적으로 제거한 반도체 소자의 제조방법에 관한 것이다.
- <15> 반도체 소자를 제조하는 경우, 소자를 전기적으로 분리시키기 위하여 소자분리막을 형성한다. 이러한 소자분리막을 형성하는 방법으로는 통상적으로 열산화막을 이용한 국부적 산화방법(Local Oxidation of Silicon : LOCOS)과 집적도에 유리한 트렌치(trench) 구조를 이용한 얇은 트렌치 소자분리막 형성방법(Shallow Trench Isolation : STI)이 많이 적용되고 있다.
- <16> 그 중에서 열산화막 등을 이용한 로코스(LOCOS) 기법은, 반도체 소자의 디자인 룰(design rule)의 감소에 따른 필드 산화막의 열화와 같은 공정의 불안정 요인과, 버즈비크(bird's beak)에 따른 활성영역의 감소와 같은 문제점을 갖고 있기 때문에 이를 해결할 수 있는 소자분리 기술에 요구되었다.

- <17> 이에 따라 대두된 기술이 얇은 트렌치 소자분리 기법(Shallow Trench Isolation : 이하, STI)이다. STI 기법은 반도체 기판에 트렌치를 형성하고, 트렌치 내부를 절연막으로 매립(gap-fill)함으로써 활성영역과 필드영역을 정의하는 소자분리 기법으로, 이러한 STI 기법은 초고집적 반도체 소자 제조 공정에서의 적용이 유망한 기술이다.
- <18> 소자가 점점 더 미세화 되어 가는 현 추세에 따라, 활성영역(Active)간의 간격도 점점 더 좁아지고 있으며, 따라서 큰 종횡비(aspect ratio)를 갖는 트렌치를 매립하기 위해서 단차 피복성(step coverage)이 우수한 고밀도 플라즈마(High Density Plasma : 이하 HDP) 막이 많이 사용되고 있다.
- <19> 이러한 HDP 산화막으로는  $\text{SiH}_4$ ,  $\text{O}_2$ , He 가스를 소스가스로 사용하는 통상적인 HDP 산화막(이하, He 계 HDP 산화막이라 한다.)이 사용되어 왔는데, 이러한 통상적인 HDP 산화막 역시, 소자가 미세화되어감에 따라 갭필 특성에 한계를 드러내고 있다.
- <20> 즉, 80nm 급의 미세소자에 적용되는 STI 공정에서, 트렌치 갭필을 위해 확보되어야 할 최소 종횡비는 약 5 정도이나, He 계 HDP 산화막의 갭필 한계는 대략 4 정도인 것으로 알려져 있어, 기존의 He 계 HDP 산화막은 80nm 급의 미세소자에 적용될 수 없는 단점이 있었다.
- <21> 도1은 80nm 급 소자의 STI 패턴에서, 기존의 He 계 HDP 산화막을 사용하여 트렌치를 갭필할때 발생한 보이드(void)를 도시한 불량분석 사진이다. 도1을 참조하면, 기존의 He 계 HDP 산화막을 사용하는 경우에는 이미 갭필 한계를 초과하여 보이드가 발생하고 있음을 알 수 있다.
- <22> 이와같은 이유때문에, 80nm급 소자에서는 새로운 STI 공정 도입이 필요하게 되어, 제안된 방법이  $\text{NF}_3$  HDP 공정이다.

- <23>  $\text{NF}_3$  HDP 공정은, 3 단계로 HDP 산화막을 증착하여 5 이상의 중형비를 갖는 STI 구조를 매립 가능케 한 방법으로, 우선  $\text{NF}_3$  HDP 공정과 종래의 He 계 HDP 공정을 간략히 비교하여 설명하면 다음과 같다.
- <24> 종래의 He 계 HDP 공정은  $\text{SiH}_4$ ,  $\text{O}_2$ , He 가스를 소스가스로 사용하여 1 step으로 타겟 두께만큼의 HDP 산화막을 증착하는데 비해,  $\text{NF}_3$  HDP 공정에서는 소스 가스를 달리하여 총 3 단계에 걸쳐서 HDP 산화막을 증착한다.
- <25> 이와같은  $\text{NF}_3$  HDP 공정에서 특히, 제 1 단계와 제 2 단계는  $\text{NF}_3$  HDP 공정의 성능(performance)를 결정짓는 중요한 단계이며, 공정 진행시 세심한 주의가 요구된다.
- <26> 이하에서는 도2a 내지 도2c를 참조하여,  $\text{NF}_3$  HDP 산화막을 적용한 STI 공정에 대해 설명한다.
- <27> 먼저, 도2a에 도시된 바와같이 반도체 기판(10) 상에 버퍼산화막(11)과 패드질화막(12)을 차례로 형성한 다음, 패드질화막(12) 상에 감광막(미도시)을 형성하고 노광공정을 진행한다.
- <28> 이후에 소자분리막이 형성될 영역의 버퍼산화막(11)과 패드질화막(12)을 완전히 제거하는 패터닝 작업을 실시하여 반도체 기판(10)을 노출시킨다. 다음으로 감광막(미도시)을 제거하고 패드질화막(12)을 식각마스크로 하여 반도체 기판(10)을 일정두께 식각하여 소자분리막이 매립될 트렌치 구조를 형성한다.
- <29> 이어서, 트렌치 구조를 형성하기 위한 식각공정에서 발생한 데미지(damage)를 보상하고, 트렌치 내벽에 존재하는 땀글링 본드(dangling bonds)들을 제거하기 위하여 트렌치 내벽에 일정두께의 트렌치 산화막을 형성하는데, 도2a에는 이러한 트렌치 산화막은 도시하지 않았다.



- <30> 이어서, 패드질화막(12)을 포함하는 전체 구조상에 리니어(liner) 질화막(13)을 형성한다. 리니어 질화막(13)은 트렌치 모서리나 측벽에 작용하는 스트레스(stress)를 감소시키고, 후속 산화공정에서 트렌치 측벽의 산화가 더이상 진행되지 않도록 방지하는 역할을 한다.
- <31> 다음으로, 리니어 질화막(13) 상에 리니어 산화막(14)을 형성하는데, 이는 후속 트렌치 갭필 공정에서 과도한 스트레스를 받은 리니어 질화막(13)이 리프팅(lifting) 될 수도 있기 때문에, 이를 방지하기 위해서 형성한다.
- <32> 이어서, 제 1 단계 HDP 산화막(15) 증착이 수행된다.
- <33> 제 1 단계로 증착되는 HDP 산화막(15)의 소스가스로는, 종래의 He 계 HDP 산화막을 증착할 때 사용되던 source gas(즉,  $\text{SiH}_4$ ,  $\text{O}_2$ , He)에 수소( $\text{H}_2$ ) 가스를 첨가하여 사용한다. 이때,  $\text{H}_2$  가스를 첨가하는 목적은 단차피복성(step coverage)을 향상시키기 위한 것으로, 제 1 단계로 증착된 HDP 산화막은  $\text{H}_2$  가스가 소스가스로 첨가되어 사용되었으므로,  $\text{H}_2$  계 HDP 산화막(15) 이라고 칭하기로 한다.
- <34> 다음으로 도2b에 도시된 바와같이, 제 2 단계 HDP 산화막(16) 형성공정이 수행된다.
- <35> 제 2 단계 HDP 산화막(16)을 형성하는 공정에서 사용된 소스가스로는, 종래의 소스가스( $\text{SiH}_4$ ,  $\text{O}_2$ , He)에  $\text{NF}_3$  가스가 첨가되어 사용되며, 이 공정은 트렌치 갭필공정에 있어서 보이드(void)의 생성여부를 결정짓는다.
- <36> 첨가된  $\text{NF}_3$  gas는 증착과정에서 화학적 식각제(chemical etchant)로서 작용하여, 불필요하게 증착되는 현상(예를 들면, 스퍼터링에 의해 트렌치 측벽에 재증착(redeposition)되는 현상 등)을 최대한 방지하게 된다.

- <37> 제 2 단계 HDP 산화막(16) 형성에 사용되는 소스가스에는  $\text{NF}_3$  가스가 첨가되었으므로, 이하에서는 제 2 단계 HDP 산화막(16)은  $\text{NF}_3$  계 HDP 산화막(16) 이라고 칭하기로 한다.
- <38> 다음으로 도2c에 도시된 바와같이 제 3 단계 HDP 산화막(17) 형성공정이 수행되는데, 제 3 단계 HDP 산화막으로는 종래에 사용되던 He 계 HDP 산화막(17)이 사용된다.
- <39> 이와같이 3 단계 공정으로 트렌치를 매립한 이후에 화학기계연마를 적용하여 트렌치를 매립하고 있는 절연막을 평탄화시킨 후, 패드질화막(12)을 제거하면 STI 공정에 의한 소자분리막이 완성된다.
- <40> 전술한 바와같은 종래기술에서는 3단계 HDP 산화막 형성공정을 적용하여 큰 중횡비를 갖는 좁은 패턴을 보이드 없이 증착할 수 있는 장점이 있으나, 상대 급부적으로 다음과 같은 단점이 있었다.
- <41> 즉,  $\text{NF}_3$  계 HDP 산화막을 증착하기 위해 사용된 소스가스에는  $\text{NF}_3$  가스가 첨가되어 사용되는데,  $\text{NF}_3$  가스에 포함된 불소(Flourine)는 게이트 산화막(gate oxide)을 열화시키는 단점이 있기 때문에, 불소의 양을 효과적으로 감소시키는 제조방법이 필요하게 되었다.

**【발명이 이루고자 하는 기술적 과제】**

- <42> 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로,  $\text{NF}_3$  계 HDP 산화막 내에 잔존하는 불소를 효과적으로 제거한 반도체 소자의 제조방법을 제공함을 그 목적으로 한다.

## 【발명의 구성 및 작용】

- <43>        상기한 목적을 달성하기 위한 본 발명은, 기판 상에 트렌치를 형성하는 단계; 상기 트렌치의 표면을 따라  $H_2$  계 HDP 산화막을 형성하는 단계; 상기 트렌치 내에 일정깊이의  $NF_3$  계 HDP 산화막을 형성하는 단계; 상기  $NF_3$  계 HDP 산화막내의 불소를 제거하기 위한 2 단계 열공정을 수행하는 단계; 및 상기 트렌치를 매립하는 He 계 HDP 산화막을 형성하는 단계를 포함하여 이루어진다.
- <44>        본 발명은 80nm 급 소자의 STI 공정에 적용되는  $NF_3$  HDP 공정에서, 2 단계 열처리 공정을 도입하여 HDP 산화막 내에 잔존하는 불소를 효과적으로 제거한 반도체 소자의 제조방법에 관한 것이다.
- <45>        이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.
- <46>        도3a 내지 도3c는 본 발명의 일실시예에 따른 STI 공정을 도시한 공정단면도로써, 이를 참조하여 본 발명의 일실시예를 설명한다.
- <47>        먼저, 반도체 기판 상에 트렌치를 형성한 후, 제 1 단계 HDP(25) 막인  $H_2$  계 HDP 산화막(25)을 형성하기까지의 공정은 종래기술과 동일하며, 이를 상세히 설명하면 다음과 같다.
- <48>        도3a에 도시된 바와같이 반도체 기판(20) 상에 버퍼산화막(21)과 패드질화막(22)을 차례로 형성한 다음, 패드질화막(22) 상에 감광막(미도시)을 형성하고 노광공정을 진행한다.
- <49>        이후에 소자분리막이 형성될 영역의 버퍼산화막(21)과 패드질화막(22)을 완전히 제거하는 패터닝 작업을 실시하여 반도체 기판(20)을 노출시킨다. 다음으로 감광막(미도시)을 제거하

고 패드질화막(22)을 식각마스크로 하여 반도체 기판(20)을 일정두께 식각하여 소자분리막이 매립될 트렌치 구조를 형성한다.

- <50> 이어서, 트렌치 구조를 형성하기 위한 식각공정에서 발생한 데미지(damage)를 보상하고, 트렌치 내벽에 존재하는 땀글링 본드(dangling bonds)들을 제거하기 위하여 트렌치 내벽에 일정두께의 트렌치 산화막을 형성하는데, 도3a에는 이러한 트렌치 산화막은 도시하지 않았다.
- <51> 이어서, 패드질화막(22)을 포함하는 전체 구조상에 리니어(liner) 질화막(23)을 형성한다. 리니어 질화막(23)은 트렌치 모서리나 측벽에 작용하는 스트레스(stress)를 감소시키고, 후속 산화공정에서 트렌치 측벽의 산화가 더이상 진행되지 않도록 방지하는 역할을 한다.
- <52> 다음으로, 리니어 질화막(23) 상에 리니어 산화막(24)을 형성하는데, 이는 후속 트렌치 갭필 공정에서 과도한 스트레스를 받은 리니어 질화막(23)이 리프팅(lifting) 될 수도 있기 때문에, 이를 방지하기 위해서 형성한다.
- <53> 이어서, 제 1 단계 HDP 산화막인  $H_2$  계 HDP 산화막(25) 증착이 수행된다. He 계 HDP 산화막(25)을 증착하는데 사용되는 소스가스로는 종래의 통상적인 HDP 산화막(He 계 HDP 산화막)을 증착할 때 사용되던 source gas(즉,  $SiH_4$ ,  $O_2$ , He)에 수소( $H_2$ ) 가스를 첨가되어 사용된다.
- <54>  $H_2$  가스를 첨가하는 목적은 단차피복성(step coverage)을 향상시키기 위한 것이며 이때, 사용되는 소스 가스들의 유량으로  $SiH_4$  가스는 40 ~ 50 sccm,  $O_2$  가스는 50 ~ 60 sccm, He 가스는 400 ~ 600 sccm,  $H_2$  가스의 유량은 50 ~ 150 sccm을 유지하는 것이 바람직하다.
- <55> 이는 비교적 낮은 증착속도를 유지하여 스텝 커버리지를 향상시키기 위한 것이며, 이러한 소스가스들의 유량은 트렌치의 프로파일(profile)과 스페이스 크리티컬 디멘전(space critical dimension) 및 트렌치의 깊이를 충분히 고려하여 결정한다.

- <56> 또한, 제 1 단계 HDP 산화막인  $H_2$  계 HDP 산화막(25) 증착에 사용되는 LF(Low Frequency) 파워는 3000 ~ 3500W 가 사용되며, HF(High Frequency) 파워로는 400 ~ 600W 가 사용된다. 이러한 파워 역시 비교적 낮은 증착속도를 유지하기 위해 설정된다.
- <57> 또한,  $H_2$  가스는 다른 소스가스와 혼합되어 웨이퍼(wafer)에 증착되는 속도를 가능한 한 낮게 유지하면서 50 nm 이하로 증착하는 것이 바람직하다. 이 또한 단차 피복성(step coverage)을 향상시키기 위함이다.
- <58> 다음으로, 도3b에 도시된 바와같이 제 2 단계  $NF_3$  계 HDP 산화막(26) 형성공정이 수행 된다.
- <59>  $NF_3$  계 HDP 산화막(26)을 형성하는 공정에서 사용된 소스가스로는, 종래의 소스가스( $SiH_4$ ,  $O_2$ , He)에  $NF_3$  가스가 첨가되어 사용되며, 이 공정은 트렌치 갭필공정에 있어서 보이드(void)의 생성여부를 결정짓는 중요한 공정이다.
- <60> 이때, 사용되는 소스 가스들은 트렌치 바닥에서의 증착속도는 최대한 높이고 트렌치 측벽에서의 증착속도는 최대한 낮추기 위하여, 다음과 같은 유량을 갖는 것이 바람직하다.
- <61> 즉,  $SiH_4$  가스는 50 ~ 70 sccm,  $O_2$  가스는 100 ~ 150 sccm, He 가스는 40 ~ 60 sccm,  $NF_3$  가스의 유량은 20 ~ 80 sccm을 유지하는 것이 바람직하다.
- <62> 그리고, 제 2 단계  $NF_3$  계 HDP 산화막(26) 증착에 사용되는 LF(Low Frequency) 파워는 4000 ~ 6000W 가 사용되며, HF(High Frequency) 파워로는 900 ~ 1000W 가 사용된다. 이러한 파워 역시 트렌치 바닥에서의 증착속도는 최대한 높이고 트렌치 측벽에서의 증착속도는 최대한 낮추기 위하여 설정된다.

- <63> 소스가스로 첨가된  $\text{NF}_3$  가스는, 증착과정에서 화학적 식각제(chemical etchant)로서 작용하여, 불필요하게 증착되는 현상(예를 들면, 스퍼터링에 의해 트렌치 측벽에 재증착(redeposition)되는 현상 등)을 최대한 방지하는 역할을 한다.
- <64> 또한,  $\text{NF}_3$  계 HDP 산화막(26)은 트렌치 바닥에서의 증착속도가 트렌치 측벽에서의 증착속도보다 매우 빠르기 때문에, 트렌치 바닥에서는 HDP 산화막이 연속적으로 증착되지만 트렌치 측벽에서는  $\text{NF}_3$  계 HDP 산화막(26)이 거의 증착되지 않는다. 이는 곧  $\text{NF}_3$  계 HDP 산화막(26)이 좁은 트렌치 구조를 보이드 없이 일정깊이 매립할 수 있게 해준다.
- <65> 또한, 본 발명의 일실시예에서는 증착되는  $\text{NF}_3$  계 HDP 산화막(26)의 상면이 트렌치 구조의 상면보다 낮도록 증착한다. 이는 후속 화학기계연마 공정이나, 클리닝 공정에서  $\text{NF}_3$  계 HDP 산화막(26)이 노출되는 것을 방지하기 위함이다.
- <66> 이와같은 우수한 갭필 특성을 갖는  $\text{NF}_3$  계 HDP 산화막(26)에 포함된 불소의 농도는, 층간절연막으로 사용되는 FSG(Fluorine-doped Silicate glass)막보다는 낮지만, 후속 공정을 거치면서  $\text{NF}_3$  계 HDP 산화막(26)에 포함된 불소가 게이트 산화막을 열화시켜 소자특성에 악영향을 준다.
- <67> 따라서, 본 발명의 일실시예에서는 불소를 제거하기 위한 2 단계 열공정이 적용되는데, 이러한 열공정은 제 2 단계  $\text{NF}_3$  계 HDP 산화막(26) 증착이 완료된 이후에 진행될 수도 있으며 또는, 제 3 단계 He 계 HDP 산화막(27) 증착공정이 진행된 이후에 수행될 수도 있다.
- <68> 이러한 2 단계 열처리 공정은 도4a 내지 도4b를 참조하여 후술하기로 하고, 이하에서는 도3c를 참조하여 제 3 단계 He 계 HDP 산화막의 증착과정에 대해 설명한다.

- <69> 도3c를 참조하면, 제 3 단계 He 계 HDP 산화막(27)은 종래에 사용하던 통상적인 HDP 산화막이며, 따라서  $\text{SiH}_4$  가스,  $\text{O}_2$  가스, He 가스를 소스가스로 하여 증착된다.
- <70> 이러한, 소스 가스들의 유량은 다음과 같이 설정되는 것이 바람직하다. 즉,  $\text{SiH}_4$  가스는 150 ~ 250 sccm,  $\text{O}_2$  가스는 300 ~ 400 sccm, He 가스는 400 ~ 600 sccm 으로 설정되는데, 이는 He 계 HDP 산화막(27)의 증착속도를 높게 유지하기 위함이다.
- <71> 마지막 단계로 증착되는 He 계 HDP 산화막(27)은 종래기술에서 널리 사용되어왔던 막이므로, 후속으로 진행되는 화학기계연마 공정이나 세정공정에서 별다른 튜닝(tuning)이 필요없는 장점이 있다.
- <72> 다음으로 불소를 제거하기 위한 2 단계 열처리 공정을 도4a 및 도4b를 참조하여 설명한다.
- <73> 먼저, 도4a는 제 3 단계 He 계 HDP 산화막까지 증착된 상태를 평판 (blanket) 웨이퍼에 모사한 도면으로, 각각의 레이어에 존재하는 대표적인 결합들 만을 간단하게 도시한 도면이다.
- <74> 도4a를 참조하면, 실리콘 기판(20)상에 트렌치 산화막(A)이 형성되어 있으며, 트렌치 산화막(A) 상에는 리니어 질화막(23) 및 리니어 산화막(24)이 차례로 적층 형성되어 있다.
- <75> 그리고 리니어 산화막(24) 상에는  $\text{H}_2$  계 HDP 산화막(25),  $\text{NF}_3$  계 HDP 산화막(26), He 계 HDP 산화막(27)이 차례로 적층되어 형성되어 있다.
- <76>  $\text{NF}_3$  계 HDP 산화막(26)을 제외한 나머지 막에서는 공통적으로  $-\text{Si}-\text{O}-$  결합이 절대 다수 개 존재하지만,  $\text{NF}_3$  계 HDP 산화막(26)에는 일부  $-\text{Si}-\text{F}-$  결합이 발견되고 있다. 이러한  $-\text{Si}-\text{F}-$  결합에서 불소원소는 후속 열공정이 진행되는 동안 해리되어 게이트 산화막을 열화시키는 요소로 작용한다.

- <77> 본 발명에서는 이러한 불소를 제거하기 위해 2 단계 열공정을 적용하였다.
- <78> 즉, 제 1 단계 열공정은 습식 분위기( $H_2O$  분위기)의 확산로(diffusion furnace)에서 30분 내지 10 시간 동안,  $700 \sim 1100^\circ C$  의 온도에서 수행된다.
- <79> 이러한 제 1 단계 열공정을 통해,  $H_2O$  분자들은  $NF_3$  계 HDP 산화막으로 침투 확산하여 Si-F 결합과 화학반응을 일으킨다. 결과적으로 Si-OH 결합과 기체 상태의 HF 분자를 생성하게 되고, HF 분자는 고온에서 웨이퍼 밖으로 빠져나가 Si-OH 결합만이 남는다.
- <80> 이를 화학반응식 1 로 나타내면 다음과 같다.
- <81> 【반응식 1】
- $$-Si-F + H_2O \Rightarrow Si-OH + HF \uparrow$$
- <82> 이러한 제 1 단계 열공정 이후에 제 2 단계 열공정이 수행되는데, 제 2 단계 열공정은 질소 분위기의 확산로(diffusion furnace)에서 30분 내지 10시간 동안,  $700 \sim 1100^\circ C$  의 온도에서 수행된다.
- <83> 제 2 단계 열공정을 간략히 설명하면, 제 1 단계 열공정에서 생성된 Si-OH 결합을 질소 분위기에서 다시 어닐링하는 것이다.
- <84> 즉, 질소는 불활성 기체이므로, 웨이퍼는 고온의 에너지만을 받게 된다. 이때, 제 1 단계 열공정에서 생성된 Si-OH 결합들은 인근에 있는 다른 Si-OH 결합과 가수분해 하여  $-Si-O-Si-$  결합을 형성하며, 그 부산물로 생성된  $H_2O$ 는 웨이퍼 밖으로 빠져나간다. 이것을 화학반응식 2 로 나타내면 다음과 같다.
- <85> 【반응식 2】
- $$-Si-OH + -Si-OH \Rightarrow -Si-O-Si- + H_2O \uparrow$$



- <86> 따라서 이와같은 2 단계 열공정을 거치게 되면,  $\text{NF}_3$  계 HDP 산화막 내에 잔존하는 불소를 효과적으로 제거할 수 있다. 도4b는 전술한 바와같은 2 단계 열공정을 거쳐 불소가 제거된 상태를 도시한 도면으로,  $\text{NF}_3$  계 HDP 산화막(26) 내에 불소가 제거되었음을 알 수 있다.
- <87> 이상에서 설명한 2 단계 열공정은  $\text{NF}_3$  계 HDP 산화막(26) 증착이 완료된 이후에 진행될 수도 있으며 또는, He 계 HDP 산화막(27) 증착공정이 진행된 이후에 수행될 수도 있음은 전술한 바와같다.
- <88> 이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

#### 【발명의 효과】

- <89> 본 발명을 적용하면, 미세소자의 소자분리 공정에서 STI 캡필공정의 공정마진을 확보할 수 있을 뿐만 아니라, 불소로 인한 소자특성의 열화를 방지할 수 있다. 또한, 본 발명은 이미 보유한 HDP 산화막 증착장비의 개선만으로도 적용이 가능한 기술이므로 신규투자비를 절감할 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

기판 상에 트렌치를 형성하는 단계;

상기 트렌치의 표면을 따라  $H_2$  계 HDP 산화막을 형성하는 단계;

상기 트렌치 내에 일정깊이의  $NF_3$  계 HDP 산화막을 형성하는 단계;

상기  $NF_3$  계 HDP 산화막내의 불소를 제거하기 위한 2 단계 열공정을 수행하는 단계; 및

상기 트렌치를 매립하는 He 계 HDP 산화막을 형성하는 단계

를 포함하는 반도체 소자의 제조방법.

**【청구항 2】**

기판상에 트렌치를 형성하는 단계;

상기 트렌치의 표면을 따라  $H_2$  계 HDP 산화막을 형성하는 단계;

상기 트렌치 내에 일정깊이의  $NF_3$  계 HDP 산화막을 형성하는 단계;

상기 트렌치를 매립하는 He 계 HDP 산화막을 형성하는 단계; 및

상기  $NF_3$  계 HDP 산화막내의 불소를 제거하기 위한 2 단계 열공정을 수행하는 단계

를 포함하는 반도체 소자의 제조방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서

상기 2 단계 열공정은,

H<sub>2</sub>O 분위기의 퍼니스에서 수행되는 제 1 열공정; 및

질소 분위기의 퍼니스에서 수행되는 제 2 열공정

을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 4】

제 3 항에 있어서,

상기 제 1 열공정과 상기 제 2 열공정은,

700 ~ 1100 °C의 온도에서 30분 내지 10 시간 동안 수행되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 5】

제 3 항에 있어서,

상기 H<sub>2</sub> 계 HDP 산화막은,

소스가스로 SiH<sub>4</sub>, O<sub>2</sub>, He, H<sub>2</sub> 가스를 사용하여 형성되며, SiH<sub>4</sub> 가스는 40 ~ 50 sccm, O<sub>2</sub> 가스는 50 ~ 60 sccm, He 가스는 400 ~ 600 sccm, H<sub>2</sub> 가스는 50 ~ 150 sccm 의 유량을 갖는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 6】

제 5 항에 있어서,

상기 H<sub>2</sub> 계 HDP 산화막 증착에 사용되는 파워로,

LF 파워는 3000 ~ 3500W , HF 파워는 400 ~ 600W 를 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 7】

제 3 항에 있어서,

상기  $\text{NF}_3$  계 HDP 산화막은,

소스가스로  $\text{SiH}_4$ ,  $\text{O}_2$ , He,  $\text{NF}_3$  가스를 사용하여 형성되며,  $\text{SiH}_4$  가스는 50 ~ 70 sccm,  $\text{O}_2$  가스는 100 ~ 150 sccm, He 가스는 40 ~ 60 sccm,  $\text{NF}_3$  가스는 20 ~ 80 sccm 의 유량을 갖는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 8】

제 7 항에 있어서,

상기  $\text{NF}_3$  계 HDP 산화막 증착에 사용되는 파워로,

LF 파워는 4000 ~ 6000W , HF 파워는 900 ~ 1000W 를 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 9】

제 3 항에 있어서,

상기  $\text{NF}_3$  계 HDP 산화막은,

그 상면이 트렌치 구조의 상면보다 낮도록 증착되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 10】

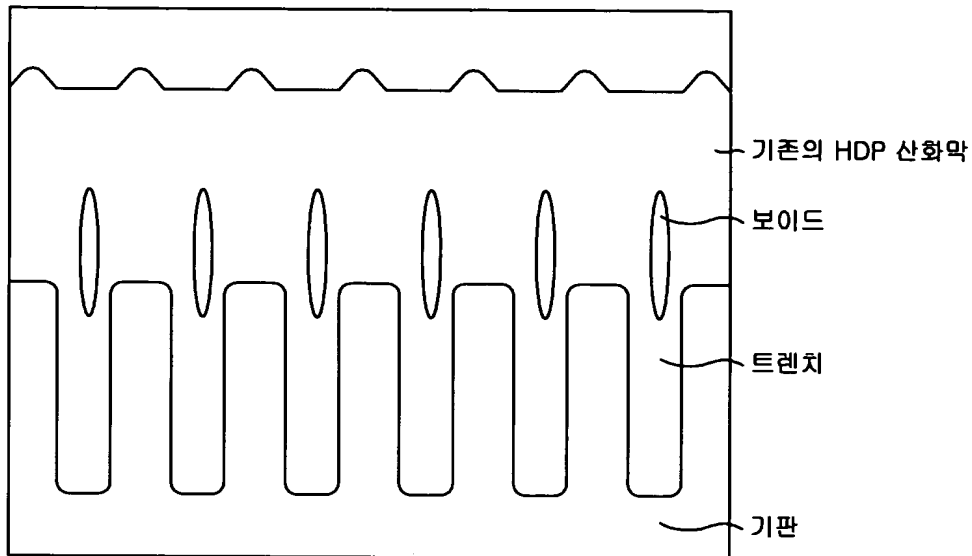
제 3 항에 있어서,

상기 He 계 HDP 산화막은,

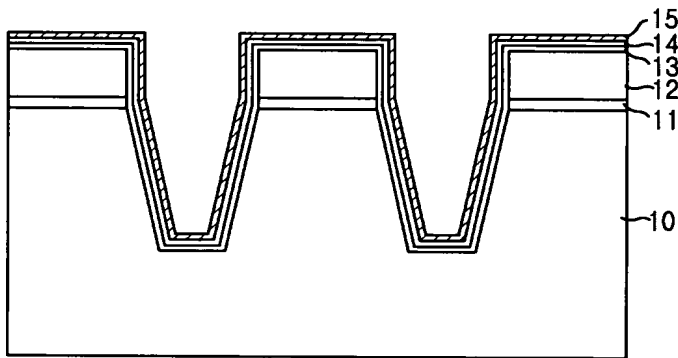
소스가스로  $\text{SiH}_4$ ,  $\text{O}_2$ , He 가스를 사용하여 형성되며,  $\text{SiH}_4$  가스는 150 ~ 250 sccm,  $\text{O}_2$  가스는 300 ~ 400 sccm, He 가스는 400 ~ 600 sccm 의 유량을 갖는 것을 특징으로 하는 반도체 소자의 제조방법.

【도면】

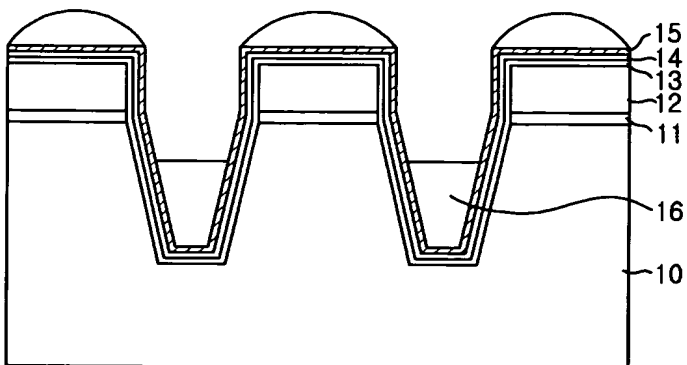
【도 1】



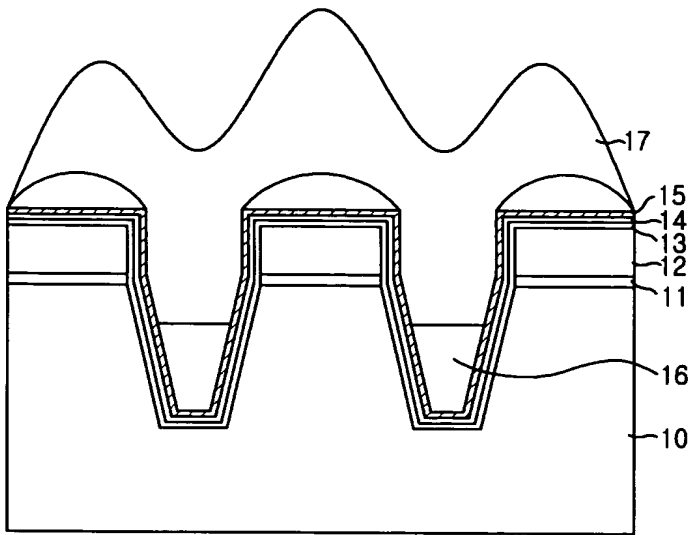
【도 2a】



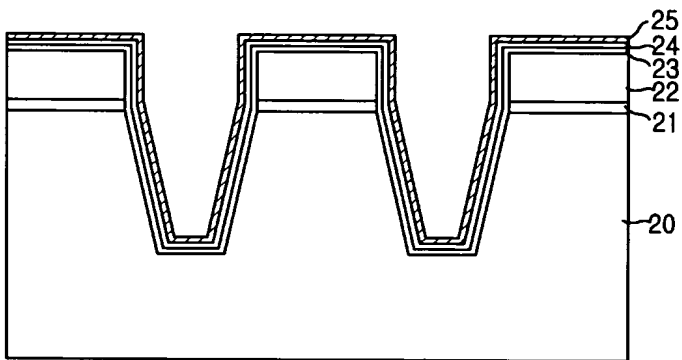
【도 2b】



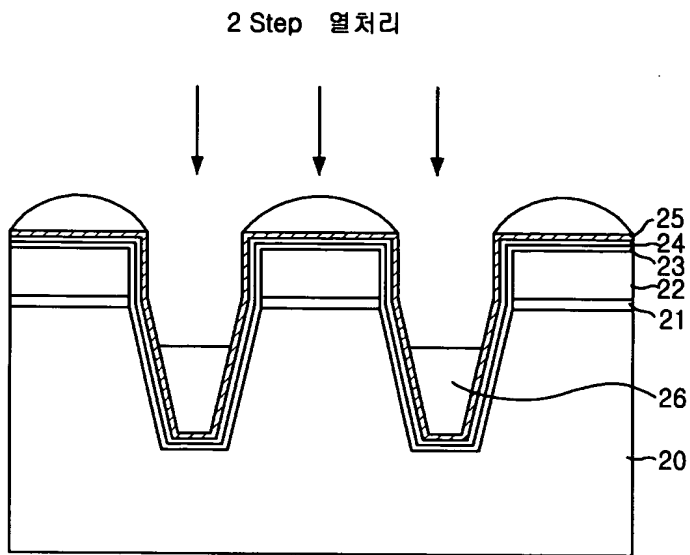
【도 2c】



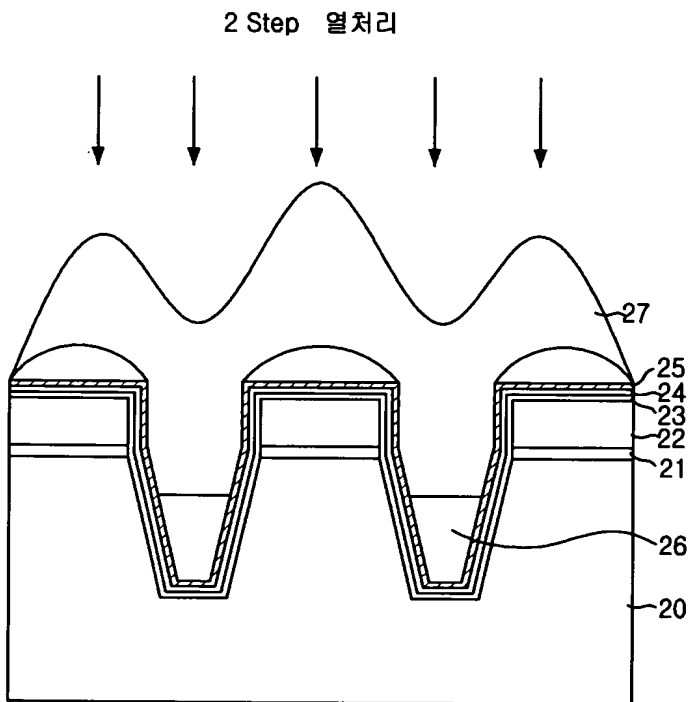
【도 3a】



【도 3b】



【도 3c】





【도 4a】

-O-Si-O-	-O-Si-O-	-O-Si-O-	27
-O-Si-F-	-O-Si-F-	-O-Si-F-	26
-O-Si-O-	-O-Si-O-	-O-Si-O-	25
			24
			23
-O-Si-O-	-O-Si-O-	-O-Si-O-	A
-Si-Si-	-Si-Si-	-Si-Si-	20

【도 4b】

-O-Si-O-	-O-Si-O-	-O-Si-O-	27
-O-Si-O-	-O-Si-O-	-O-Si-O-	26
-O-Si-O-	-O-Si-O-	-O-Si-O-	25
			24
			23
-O-Si-O-	-O-Si-O-	-O-Si-O-	A
-Si-Si-	-Si-Si-	-Si-Si-	20